

# 半導体チップの3次元積層における設計フローと課題

川瀬英路

ケイレックス・テクノロジー株式会社

近年、携帯電話などのモバイル製品の小型化、高集積化に伴い、半導体パッケージはSiP (System in Package) と呼ばれる実装形態となってきている。SiPはチップを積層搭載したり、基板に部品内蔵することで、複数のチップを組み合わせてシステムを形成するパッケージである。また高集積化に伴い、チップの積層方法も変化してきている。現時点でも多く使われているのは積層後にボンディングワイヤによってチップ間・チップ-インターポーザ間を接続する方式である。他の方法として、チップとチップをダイレクトに接続する方式としてTSV (スルー・シリコン・ビア) のプロセスが可能になってきており、チップ同士をダイレクトに積層する手法も可能になってきている。

3次元チップ積層の目的としては、一般的に下記のメリットが語られている。

- ・ 配線長削減による高性能化・低消費電力化
- ・ チップ面積の縮小
- ・ 異種ダイ積層による高性能化
- ・ 微細化によらない高集積化

しかしながら、現時点で明確な3次元チップの設計手法は確立されているとは言えず、また2次元設計手法がそのまま3次元で用られるかどうかは明らかではない。このため、今回は2次元設計ツールを用いた3次元チップ設計を仮に行い、3次元設計フローの検討を行ったのでこれを報告する。