

ガラスインターポーターの開発と実装

○森健一、小泉直幸、村山啓、相澤光浩、永井鉦治、小山利徳、田中正人、小平正司
新光電気工業株式会社
長野県長野市大字北尾張部 36
Ph: +81 26 263 4594; Fax: +81 26 263 4562
Email: ke.mori@shinko.co.jp

要旨

本書では、ガラスインターポーター(以下、Glass-Interposer; Glass-IP)の開発結果について、まず報告する。開発した Glass-IP は、表面に 2 層の Cu 配線(Min. L/S=2/2)と Cu バンプ(40um ピッチ)を製作した。また裏面には、有機基板への実装を考慮し、再配線層(以下、Backside Re-Distribution Layer = B-RDL)を形成し、その Glass-IP の表裏の Cu 配線は、Through hole Glass Via(以下、TGV)を通して、電氣的に接続している。また、開発した Glass-IP に 20mmsq. のチップと 30mmsq. の有機基板を実装した。異なる熱膨張係数(以下、CTE)を持つ 2 種類のガラスコアと 3 種類の有機基板コアを用意し、各基板コアの反りに対する影響を検討した。その結果、Glass-IP の CTE の影響よりも、有機基板の CTE の影響が非常に大きいことを確認した。加えて、Glass-IP の実装上の優位性を検証した。その検証には、“Chip First Process” と “Chip Last Process” の二種類のチップ実装方法を対象とし、異なる構造体をもつサンプルの反り挙動の比較により評価した。その結果、CTE=3.2ppm/°C のガラスコアを持つ Glass-IP は、“Chip First Process” に有利な反り挙動となり、CTE=9.5ppm/°C のガラスコアを持つ Glass-IP は、“Chip Last Process” に有利な反り挙動となることを確認した。この結果は、シリコンインターポーター(以下、Si-IP)が、“Chip First Process” にのみ有利であることと比較して、実装上優位な点である。
