

3次元半導体実装

山田 文明、

現 法政大学理工学部電気電子工学科兼任講師

元 技術研究組合超先端電子技術開発機構（ASET）熱・積層接合技術 WG 主査、
日本アイ・ビー・エム東京基礎研究所主管研究員

ビッグデータ化の波が押し寄せようとしている。一方、そのためのデータ処理システムやデータセンターの肥大化とその電力消費が問題となっている。ムーアの法則に乗って年々性能を上げてきた半導体に、物理限界が近づきつつある。スケーリングによるチップ上トランジスタのサイズと相互接続距離の短縮によって期待された、低消費電力、低コスト、高速化などのメリットは、多くの技術的困難に直面している。

小チップ三次元積層化によって、チップの歩留まり向上、CPIの緩和、消費電力の削減が期待される。また、プロセス、機能の異なるチップの三次元ヘテロジニアス積層は、SOCと比べて有利となることも期待される。現在主にDRAMやFPGAの実装から実用化の兆しが見え始めている。

微細接合ピッチ、および熱伝導改善のため、チップ間の間隙は 10μ 前後としている。しかし、このような小さな接合部では金属の拡散とそれに伴って生成する固い金属間化合物の影響を考慮する必要がある。金属間化合物の生成過程や、生成した化合物の物性を研究し、接合部材料・構造の最適化を目指し、その信頼性を確認した。

機械的強度、信頼性を確保する上で重要な役割を果たすチップ間樹脂を通常のキャピラリ法で、 10μ 前後の狭い間隙に満たすことや、接合時プロセスに必要となるフラックスを樹脂充填前に洗浄することは困難である。この問題を回避する方法として、あらかじめ、接合面に硬化前の樹脂を塗布してから接合と同時に樹脂を重合硬化する、先樹脂法を開発した。この方法を拡張することによって、数多くのチップを積層する際、複数のチップを比較的低温で位置あわせ、仮接合した後、多段のはんだ一括熔融接合を行う方法が可能であることが示すことができた。通常は積層毎に接合のための温度サイクルを経験するため、この方法は生産性だけではなく、三次元接合の信頼性の面からも期待される。

三次元実装は、小さな体積の中に多くの機能を実装する一方、チップ内、チップ間の熱抵抗は逆に大きくなる傾向があるため、二次元と比較して、より高度な放熱対策が必要となる。本発表では、微細接合部、チップ内、チップ間の熱伝導を測定とシミュレーションによって解析し、熱設計指針例を示し、試作した運転支援画像認識システムに適用した。