

# 半導体集積化に向けた 3次元集積実装技術の研究開発について

国立研究開発法人産業技術総合研究所

先端半導体研究センター

菊地 克弥

近年、高度情報通信ネットワークの整備に加えて、AI・IoT 社会の急速な進展に伴い、ビッグデータ処理が進むことで、スマートフォン・タブレット端末・パソコン・情報家電等の情報通信機器のみならず、自動車、ロボット、医療機器、産業機器などの幅広い産業で使われている電子機器では、高性能化・多機能化の要求と共に、総エネルギー消費量に占める割合が年々増加していることから、省エネルギーへの取り組みが、優先度の高い重要課題となってきている。また、半導体デバイスについて、開発・製造のコスト増により、最終製品価格に占めるデバイスコストの割合が、急激に上昇している。さらに、スマートフォン等の情報通信機器の製品サイクルは、市場ニーズに答えるため、年々短期化しており、研究開発から製品開発を経て、市場投入までの大幅な時間短縮が求められている。

これらの要求に応える技術としては、半導体デバイスの微細化の限界が近づきつつある中、半導体 LSI パッケージ内に複数の半導体チップを組み込むことで、パッケージ内にシステムを収めるシステム・イン・パッケージ SiP (System in Package) と呼ばれる電子回路システムの集積手法が注目されている。SiP は、More than Moore と呼ばれるデバイス寸法の定率縮小を表す Moore の法則と次元の異なる Z 方向での集積を実現する技術でもあり、LSI チップ上にシステムを収めるシステム・オン・チップ SoC (System on Chip) と呼ばれるシステム集積手法と相補的關係に位置づけられるものと考えられる。さらに、LSI チップの基板内に表から裏に貫通するシリコン貫通電極(Through-Si-Via、以下、TSV)を形成することにより三次元的に LSI チップを積層する技術を使った 3次元集積実装技術は、ヘテロジニアス 3次元集積による超小型高密度化、高速大容量化、低消費電力化等の多様な高性能化を達成する技術として期待されている。今回は、AI・IoT 社会のさらなる発展に向けて、車載半導体やビッグデータ処理などへの応用を想定し、チップレット実装によるシリコン貫通電極(TSV)や裏面埋設配線(BBM)の製造技術、ウェハ実装によるハイブリッド接合技術を含めた 3次元集積実装技術の研究開発について、国家プロジェクトとの関わりも含めて紹介する。